

## Conversione A/D e D/A

Per il trattamento dei segnali sempre più vengono preferite soluzioni di tipo digitale. È quindi necessario, in fase di acquisizione, impiegare dispositivi che convertano i segnali analogici in forma digitale o numerica. D'altra parte, i risultati delle elaborazioni, costituiti da informazioni digitali, devono in genere essere convertiti in forma analogica per interagire con il mondo esterno.

Questi due processi, sostanzialmente opposti, implicano concetti, tecniche, terminologie e convenzioni comuni, che possono essere illustrati globalmente.

### Quantizzazione

Il processo di digitalizzazione dei segnali analogici introduce il concetto di quantizzazione. Infatti mentre un segnale analogico può assumere infiniti valori in un campo continuo, la sua rappresentazione digitale può assumere soltanto un numero finito di valori discreti.

Gli infiniti valori del segnale analogico devono pertanto essere quantizzati ovvero raggruppati in un certo numero di fasce delimitate da livelli fissi detti *livelli di quantizzazione*; a ciascuna fascia di valori analogici corrisponderà un valore digitale. La distanza fra due livelli di quantizzazione contigui costituisce il **passo di quantizzazione Q**, a cui corrisponde il valore del bit meno significativo (**LSB: least significant bit**).

Un dato digitale a  $n$  bit può esprimere  $2^n$  valori; il valore digitale  $2^n$  viene pertanto associato al valore di fondo scala (FS o FSR: *full scale range*) della grandezza analogica. Conseguentemente il valore analogico corrispondente al bit meno significativo sarà  $FS/2^n$ .

Per esempio, un convertitore A/D con tre bit di uscita potrà quantizzare il segnale di ingresso con  $2^3 = 8$  valori, essendo solo otto le possibili combinazioni di tre bit. Se lo stesso convertitore ha un fondo scala  $FS = 8$  V, il passo di quantizzazione, pari al valore dell'LSB, è di 1 V.

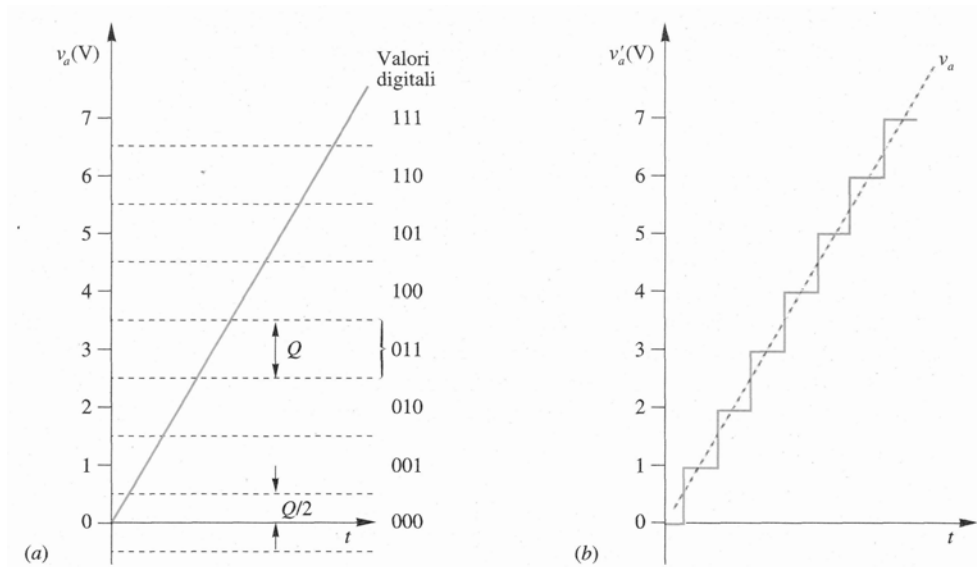
### Errore di quantizzazione

In *fig. (a)* è illustrato un segnale di tensione a rampa variabile da 0 a 7,5 V, con i corrispondenti valori digitali. In *fig. (b)* è riportata la forma d'onda a gradinata che si otterrebbe riconvertendo i valori digitali; come si vede, per tutti i valori di  $v_a$ , compresi per esempio fra 2,5 e 3,5 V, il valore binario corrispondente è 011 che, riconvertito, fornirebbe  $v_a' = 3$  V. Così, per tutti i valori compresi fra 0 e 0,5 V, il valore digitale corrispondente è 000. Pertanto l'errore  $\varepsilon$  che si commette nella quantizzazione è sempre minore o uguale a  $\pm 0,5$  V, pari cioè al valore di  $\frac{1}{2}$  LSB.

### Risoluzione

In un ADC i valori digitali di uscita non riproducono dunque fedelmente il segnale di ingresso ma ne danno una rappresentazione approssimata, tanto più precisa quanto minore è il passo di quantizzazione Q, cioè quanto più numerosi sono i livelli di quantizzazione. Questi ultimi, d'altra parte, sono legati al numero di bit utilizzati per la rappresentazione digitale e quindi sono necessariamente in numero limitato. Sono comuni convertitori A/D con uscite a 8, 10, 12, 16 bit che consentono, rispettivamente,  $2^8=256$ ,  $2^{10}=1024$ ,  $2^{12}=4096$ ,  $2^{16}=65536$  livelli di quantizzazione.

Il numero di bit di uscita di un convertitore A/D, così come il numero dei bit di ingresso di un convertitore D/A, viene generalmente chiamato **risoluzione** poiché implicitamente indica qual è la minima variazione del segnale di ingresso che può essere rivelata in uscita (pari a  $FS/2^n$  per un convertitore a  $n$  bit).

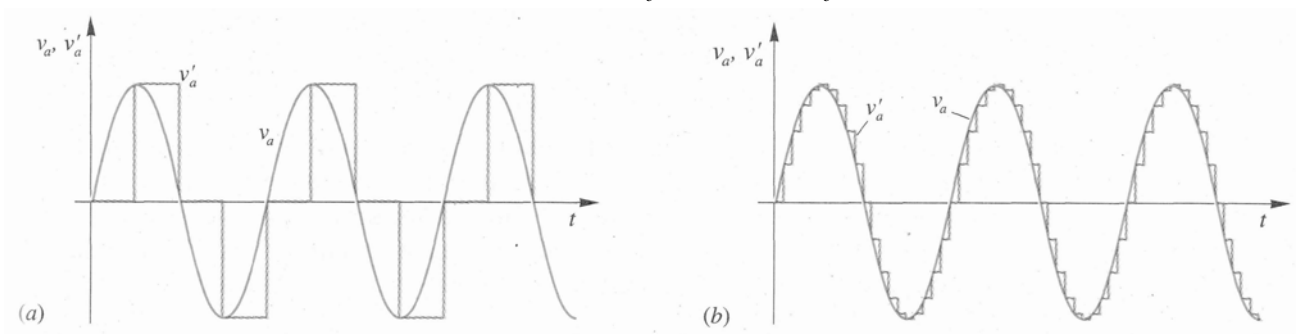


### Campionamento

Un altro concetto implicito nella conversione  $A/D$  è quello di *campionamento* del segnale in vari istanti successivi. Infatti la conversione consiste nel prelevamento di un campione del segnale a un dato istante e nella determinazione del corrispondente valore digitale, che resterà fisso finché non verrà prelevato un altro campione per una nuova conversione. La frequenza con cui il segnale viene prelevato è detta *frequenza di campionamento*; essa ha un'importanza fondamentale in riferimento al contenuto informativo del segnale campionato e le possibilità di ricostruire fedelmente il segnale analogico originario.

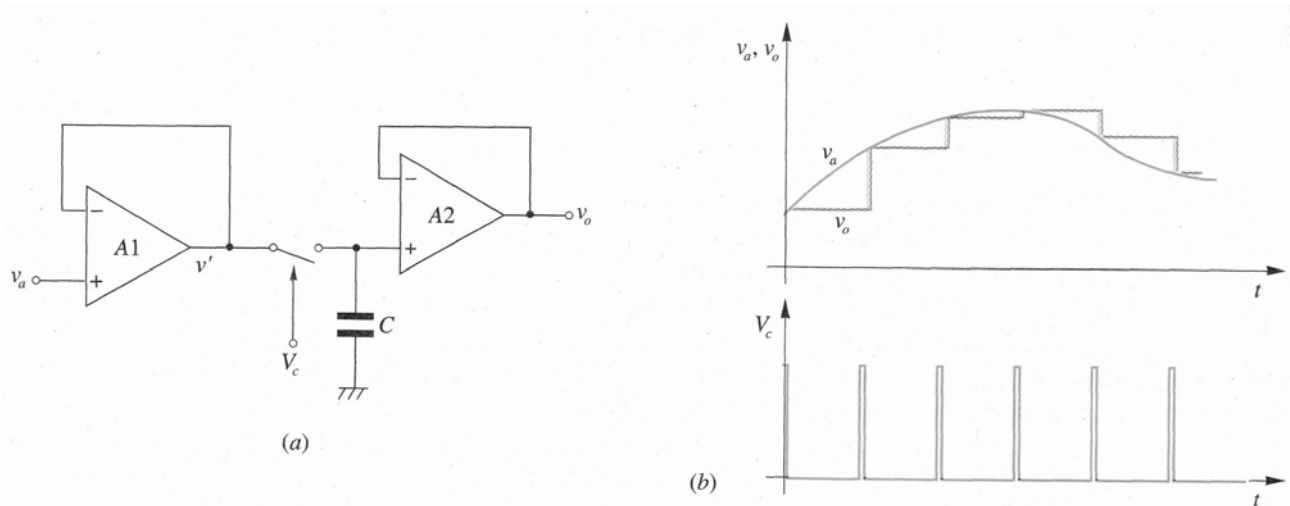
**Il teorema del campionamento, noto anche come teorema di Shannon, stabilisce che la frequenza di campionamento deve essere maggiore o uguale al doppio di quella della componente di frequenza più elevata del segnale in esame.** Pertanto un segnale analogico  $v_a(t)$  la cui componente armonica più elevata abbia frequenza  $f_M$ , potrà essere determinato univocamente a partire dai valori campionati se la frequenza di campionamento  $f_c$ ,  $f_c \geq 2f_M$ .

In figura si riporta un segnale sinusoidale  $v_a$  di frequenza  $f$  e segnali  $v'_a$  ricostruiti dopo la conversione con frequenza di campionamento (a)  $f_c = 4f$  e (b)  $f_c = 20f$



## Sample and Hold

Il circuito S/H consente di campionare istantaneamente un segnale analogico e mantenere il valore stabile per un dato intervallo di tempo necessario alla conversione.



Durante il campionamento il segnale di controllo  $V_c$  è a 1 logico e chiude l'interruttore analogico consentendo al condensatore  $C$  di caricarsi al valore di  $v_a$ ; la costante di tempo di carica risulta assai ridotta poiché le resistenze in gioco sono essenzialmente la resistenza di uscita del del buffer A1 e la  $r_{on}$  dell'interruttore. Una limitazione può essere costituita dallo *slew rate* dell'operazionale di ingresso, se il segnale da campionare compie escursioni ampie e veloci.

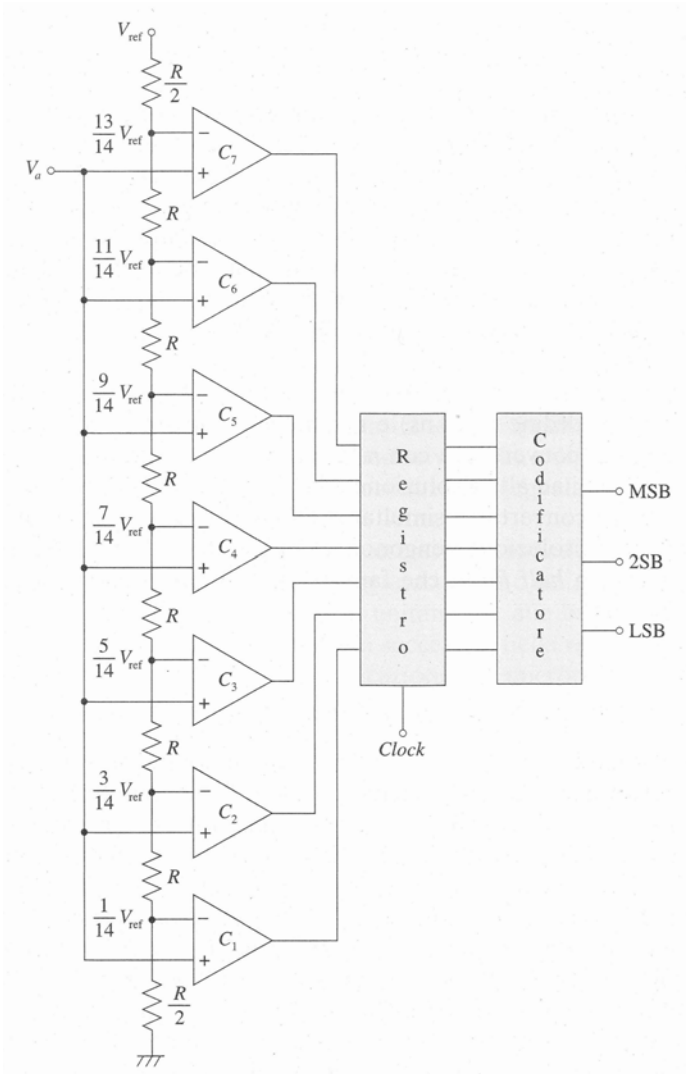
Quando  $V_c$  scende a 0, l'interruttore si apre isolando il condensatore dal circuito di ingresso;  $C$  resta carico al valore campionato per un tempo idealmente infinito, data l'elevata resistenza di ingresso del secondo buffer e dell'interruttore aperto.

## Convertitore A/D a comparatori in parallelo

In figura viene illustrato un convertitore con uscita a 3 bit costituito da sette comparatori, un registro *a latch* per la sincronizzazione della conversione e un codificatore. Il segnale  $V_a$  da convertire viene applicato agli ingressi non invertenti; l'ingresso invertente di ciascun comparatore è connesso a una rete resistiva che ripartisce la tensione di riferimento  $V_{ref}$  in otto fasce, così da fissare i livelli di riferimento, o di quantizzazione, ai valori  $1/14 V_{ref}$ ,  $3/14 V_{ref}$ , .....,  $13/14 V_{ref}$ . La successione dei livelli viene riportata in tabella 1. Ciascun comparatore commuta la sua uscita a 1 quando  $V_a$  supera il rispettivo livello di riferimento. Le uscite dei comparatori vengono memorizzate in sincronismo con il segnale di clock e codificate per fornire un dato digitale stabile.

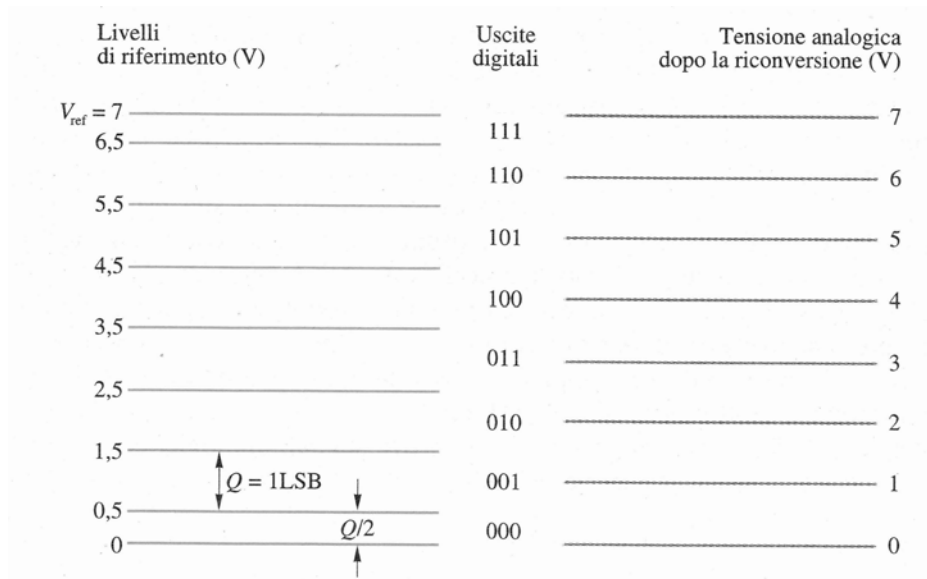
Il codice del dato di uscita è in questo caso binario unipolare; dimensionando opportunamente la rete resistiva e il numero di comparatori, si può realizzare un convertitore per tensioni bipolari. Provvedendo un opportuno codificatore si possono avere diversi codici di uscita; per esempio è molto usato il codice Gray.

Il convertitore proposto è in grado di convertire segnali analogici con escursione da 0 a  $V_{ref}$  con un errore di quantizzazione costante e sempre minore di  $\pm \frac{1}{2}$  LSB.



Nr. comparatore	Tensione ingr.inv.	Livelli di tensione $V_i$	Registro	Codificatore
0	$V_{ref} / 14$	$0 < V_a < V_{ref} / 14$	0000000	000
1	$3/14 \cdot V_{ref}$	$V_{ref} / 14 < V_a < 3/14 \cdot V_{ref}$	0000001	001
2	$5/14 \cdot V_{ref}$	$3/14 \cdot V_{ref} < V_a < 5/14 \cdot V_{ref}$	0000011	010
3	$7/14 \cdot V_{ref}$	$5/14 \cdot V_{ref} < V_a < 7/14 \cdot V_{ref}$	0000111	011
4	$9/14 \cdot V_{ref}$	$7/14 \cdot V_{ref} < V_a < 9/14 \cdot V_{ref}$	0001111	100
5	$11/14 \cdot V_{ref}$	$9/14 \cdot V_{ref} < V_a < 11/14 \cdot V_{ref}$	0011111	101
6	$13/14 \cdot V_{ref}$	$11/14 \cdot V_{ref} < V_a < 13/14 \cdot V_{ref}$	0111111	110
7		$13/14 \cdot V_{ref} < V_a < V_{ref}$	1111111	111

Supponendo  $V_{ref} = 7 \text{ V}$ , si ottengono i livelli di riferimento rappresentati in figura seguente.



Accanto a ciascuna fascia di valori analogici sono indicate le corrispondenti configurazioni digitali all'uscita del convertitore e le tensioni che si otterrebbero riconvertendo i dati digitali in forma analogica.

Per tutti i valori di  $V_a$ , inferiori a  $1/14 \cdot V_{ref} = 0,5 \text{ V}$  tutti i comparatori hanno l'uscita bassa e quindi il codice di uscita è 000. Per tutti i valori di  $V_a$ , compresi fra  $0,5 \text{ V}$  e  $3/14 \cdot V_{ref} = 1,5 \text{ V}$ , solo l'uscita di  $C_1$  si porta a livello alto e l'uscita digitale indica 001. Riconvertendo il dato digitale in forma analogica, si otterrebbe una tensione di  $1 \text{ V}$  e risulterebbe evidente un errore del convertitore **A/D** minore o uguale a  $\pm 0,5 \text{ V}$  che corrisponde proprio al valore di  $1/2 \text{ LSB}$ .

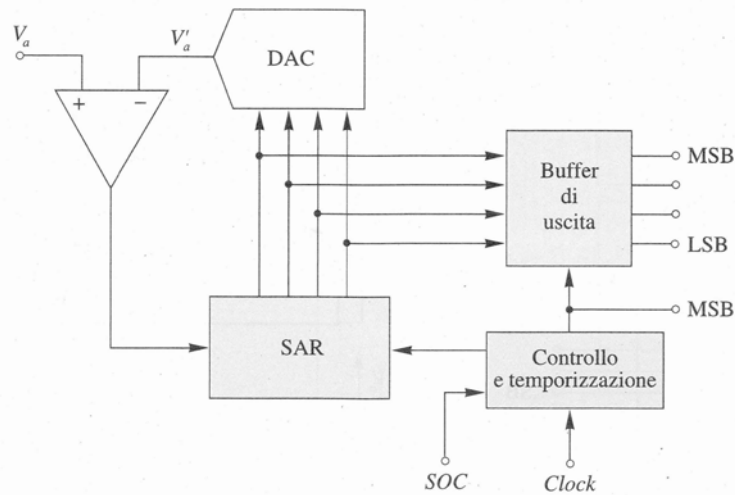
Questo tipo di convertitore, chiamato anche *simultaneo o flash*, consente elevate velocità di conversione ( $t_{conv}$  dell'ordine di  $10 \text{ ns}$ ) e non richiede generalmente l'impiego di circuiti **S/H**. Tuttavia, poiché un convertitore con  $n$  bit di uscita necessita di  $2^n - 1$  comparatori, la realizzazione di dispositivi ad alta risoluzione comporta una notevole complessità circuitale; pertanto generalmente i convertitori simultanei hanno risoluzione limitata (tipicamente 6 o 7 bit).

### Convertitori A/D ad approssimazioni successive

Il metodo di conversione ad approssimazioni successive è sicuramente il più diffuso in quanto consente un buon compromesso fra velocità di conversione e risoluzione.

Esso si basa sullo stesso principio che viene utilizzato per determinare il peso di un oggetto con una bilancia di precisione a due piatti. Si supponga di dover pesare un oggetto di peso inferiore a  $1 \text{ kg}$ , disponendo di una serie di pesi campione di valore decrescente, pari ciascuno alla metà del precedente:  $1/2 \text{ kg}$ ,  $1/4 \text{ kg}$ ,  $1/8 \text{ kg}$ , ecc. Posto l'oggetto in esame su un piatto della bilancia, sull'altro vengono posti i pesi campione, in ordine, partendo dal maggiore, nel tentativo di raggiungere l'equilibrio. Ogni volta che l'aggiunta di un peso fa inclinare la bilancia dalla parte dei pesi, lo si sostituisce con il peso immediatamente inferiore. Al termine dell'operazione il peso dell'oggetto è dato dalla somma dei pesi

campione rimasti sul piatto. Associando ai pesi campione le corrispondenti cifre binarie, si può esprimere il peso dell'oggetto in forma digitale.



Nel convertitore a 4 bit di figura il segnale di ingresso  $V_a$  viene comparato con precisi livelli di tensione generati dal convertitore D/A. Dopo l'applicazione del comando di conversione (*SOC: start of conversion*), che azzerà le uscite e inizializza il sistema, il registro ad approssimazioni successive (*SAR: successive approximation register*) si trova nello stato 1000. Questo dato viene presentato all'ingresso del DAC che fornisce il primo livello analogico, pari a metà della tensione di fondo scala del convertitore, da confrontare con il segnale  $V_a$ . Se  $V_a > V'_a$  l'uscita del comparatore è alta e il bit più significativo del SAR, che è anche il MSB della parola di uscita, rimane alto. Se viceversa  $V_a < V'_a$ , l'uscita del comparatore è bassa, il bit più significativo del SAR (e quindi anche del dato di uscita) si porta a 0. A questo punto, in sincronismo con il clock, viene portato a 1 il secondo bit più significativo del SAR, cosicché il dato presente sugli ingressi del DAC sarà 1100 oppure 0100 a seconda del risultato del confronto precedente. Il secondo confronto porta a 0 o mantiene a 1 il secondo bit del SAR e del buffer di uscita, a seconda che  $V_a$  risulti minore o maggiore di  $V'_a$ .

Con procedimento analogo vengono effettuati il terzo e quarto confronto. Alla fine della conversione, ovvero dopo quattro confronti successivi, il dato digitale contenuto nel buffer di uscita è pronto e valido; il blocco di temporizzazione segnala la fine della conversione (*EOC: end of conversion*) e l'uscita può essere letta.

Utilizzando la tecnica ad approssimazioni successive si richiedono  $n$  iterazioni, e quindi  $n$  cicli di clock, per convertire una tensione di ingresso in un dato a  $n$  bit, indipendentemente dal valore della tensione stessa. Questo fatto, unitamente alle buone prestazioni in risoluzione, fa preferire la tecnica ad approssimazioni successive nella realizzazione di convertitori a media velocità, adatti per esempio per applicazioni con microprocessori.